

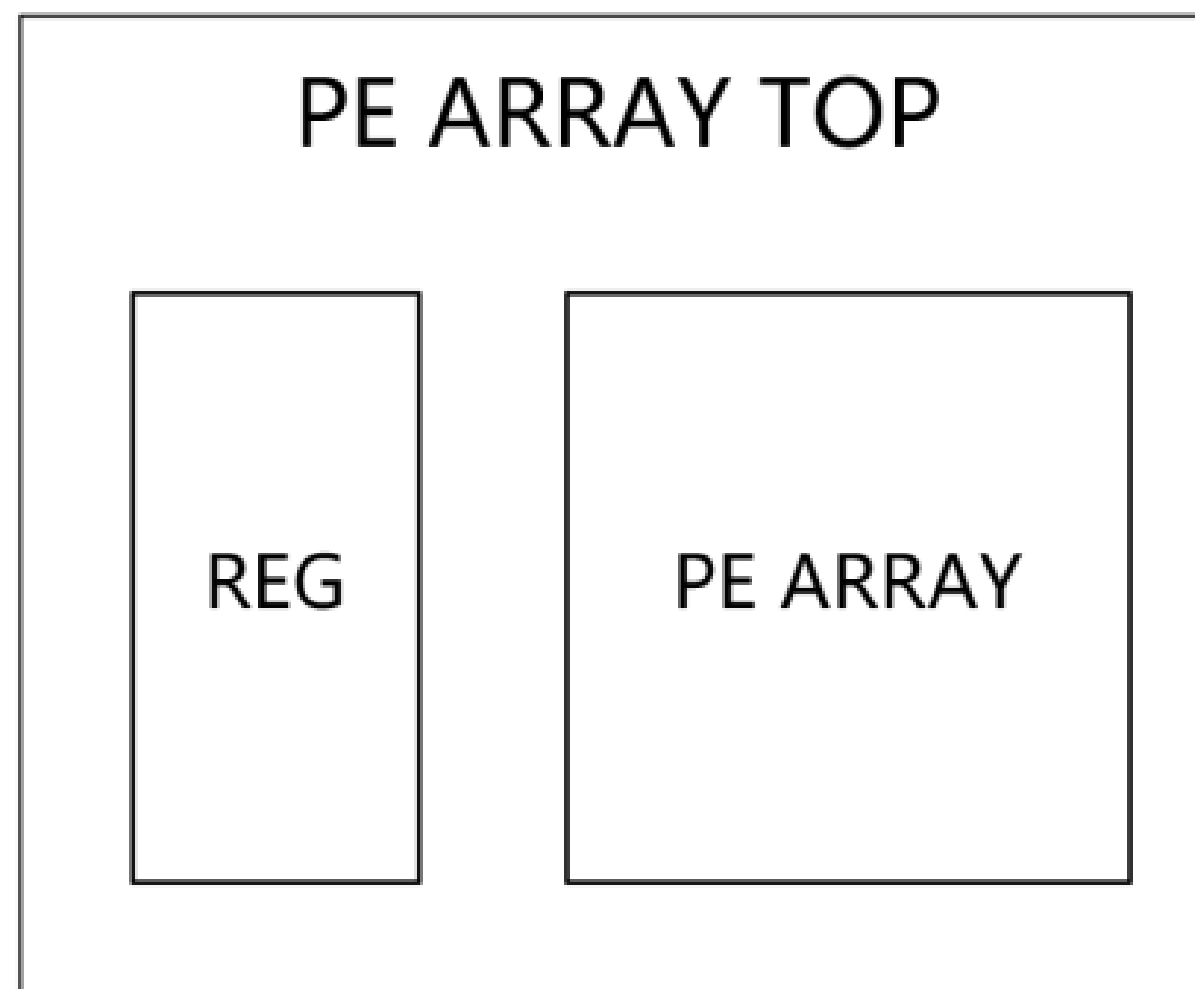
面向神经网络加速的脉动阵列

技术规范

本设计旨在实现一个可参数化定义的脉动计算阵列，主要用于高效执行矩阵乘法和卷积神经网络的计算任务。该阵列支持配置矩阵大小和数据位宽，能够灵活适应不同应用需求。系统设计目标是在200MHz以上的工作频率下实现高性能计算。

- 可参数化定义：支持多种矩阵大小和数据位宽的配置，以适应不同的计算需求。
- 高性能：在200MHz以上的工作频率下稳定运行，确保高效的数据处理能力。
- 模块化设计：采用模块化设计方法，便于维护和扩展。

总体设计



1. 能够运用脉动阵列原理准确计算矩阵乘法的正确结果。
2. 原始数据和中间计算结果的数据流动正确。
3. 在卷积神经网络的计算中能够连续输入图像数据进行计算

总体设计

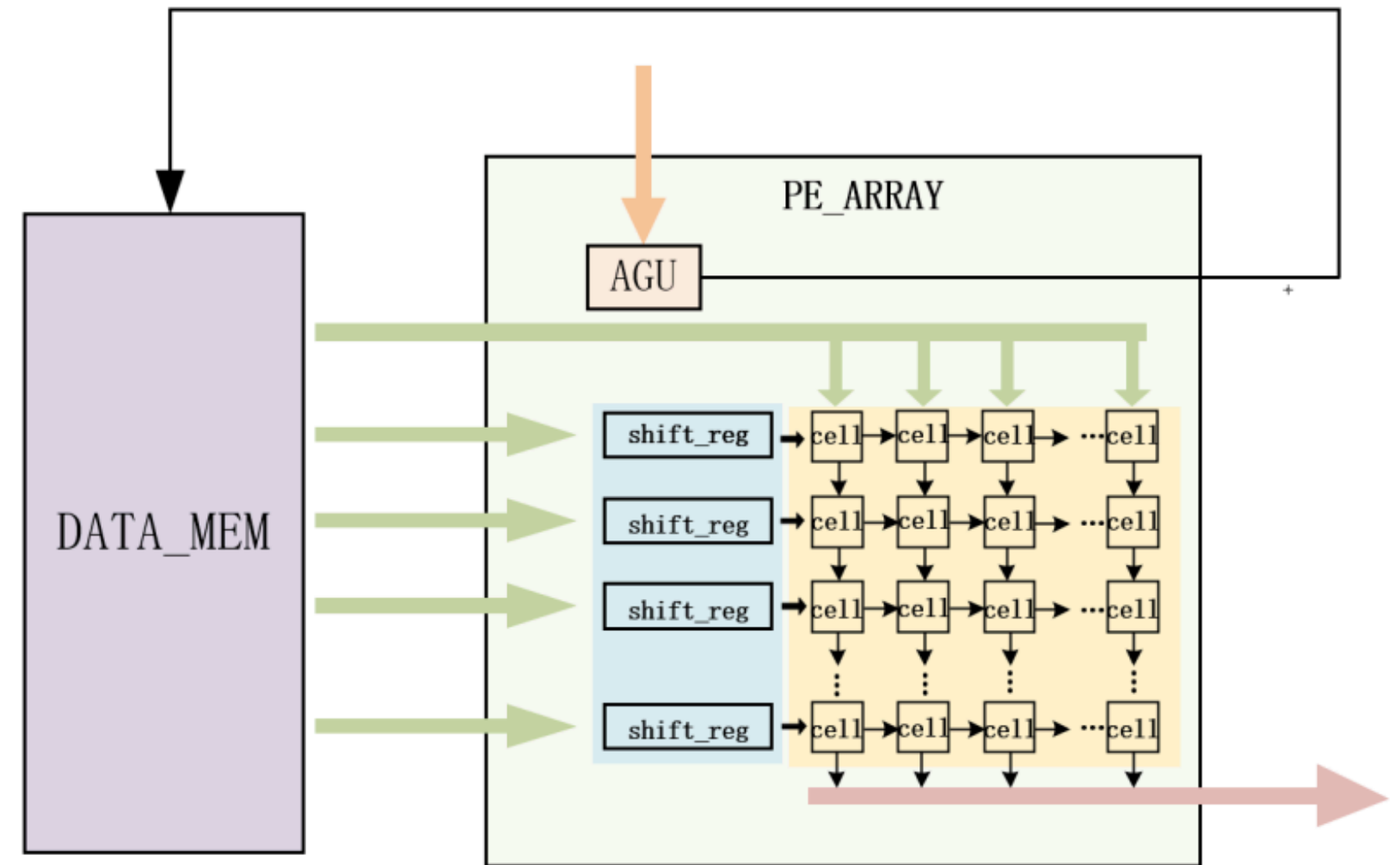
性能要求：

- 使用55nm工艺库，设计电路工作频率为200Mhz以上，时序、面积、功耗尽可能平衡优化。

相关工具：

- 本设计采用smic 55nm工艺库，
- 采用Spyglass、VCS、Design Compiler、Formality、Prime Time等前端工具进行辅助设计、仿真验证。

总体设计

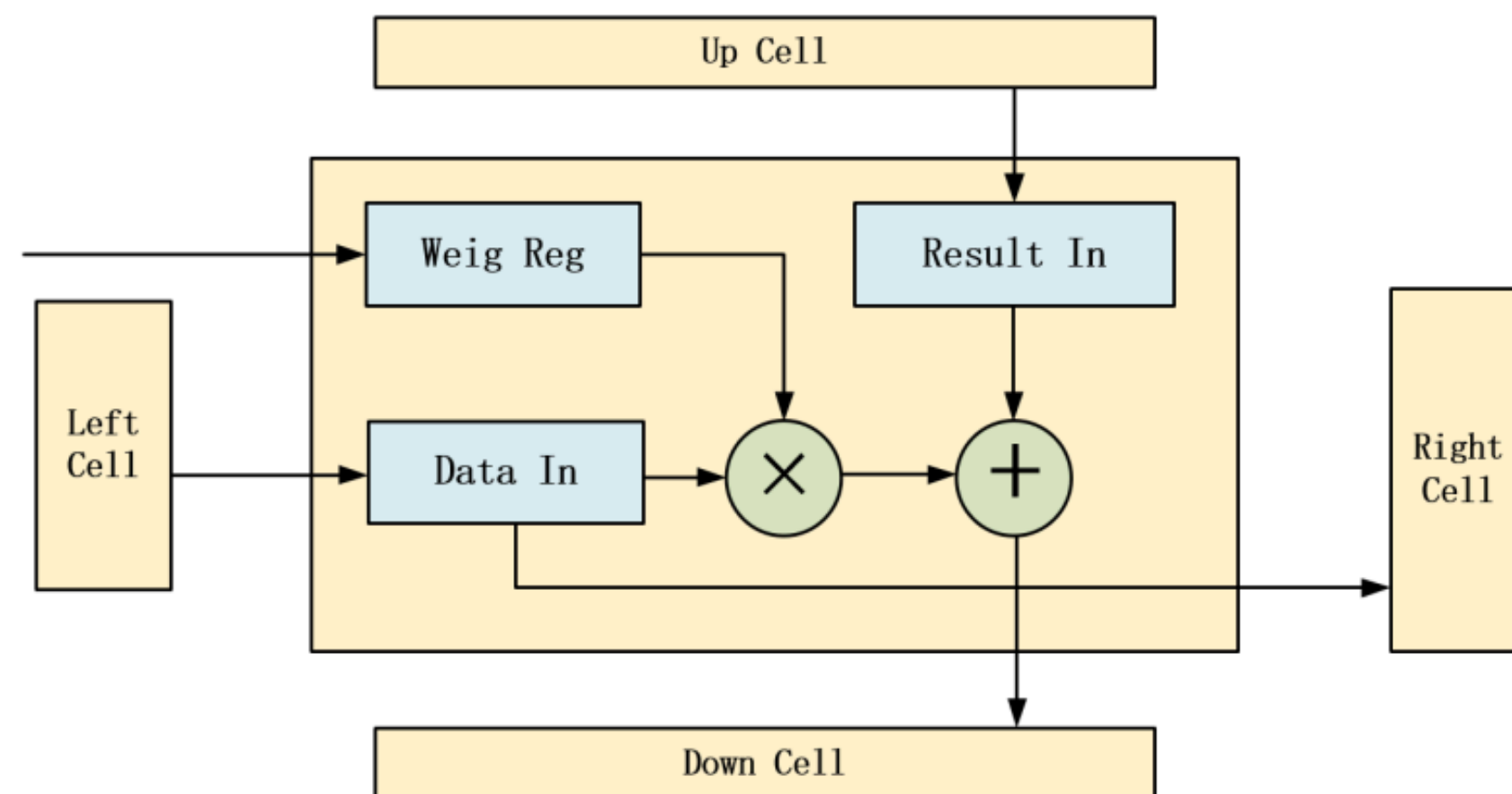


设计需求包括：

- PE子模块：存放并处理权重数据，与输入数据进行乘法运算，加入加法结果后输出。
- 移位寄存器子模块：保存32位输入数据，按8位步长逐位输出低位。
- 状态机子模块：根据输入数据和权重，管理计算流程，生成控制信号，控制整个计算过程。

详细设计

PE

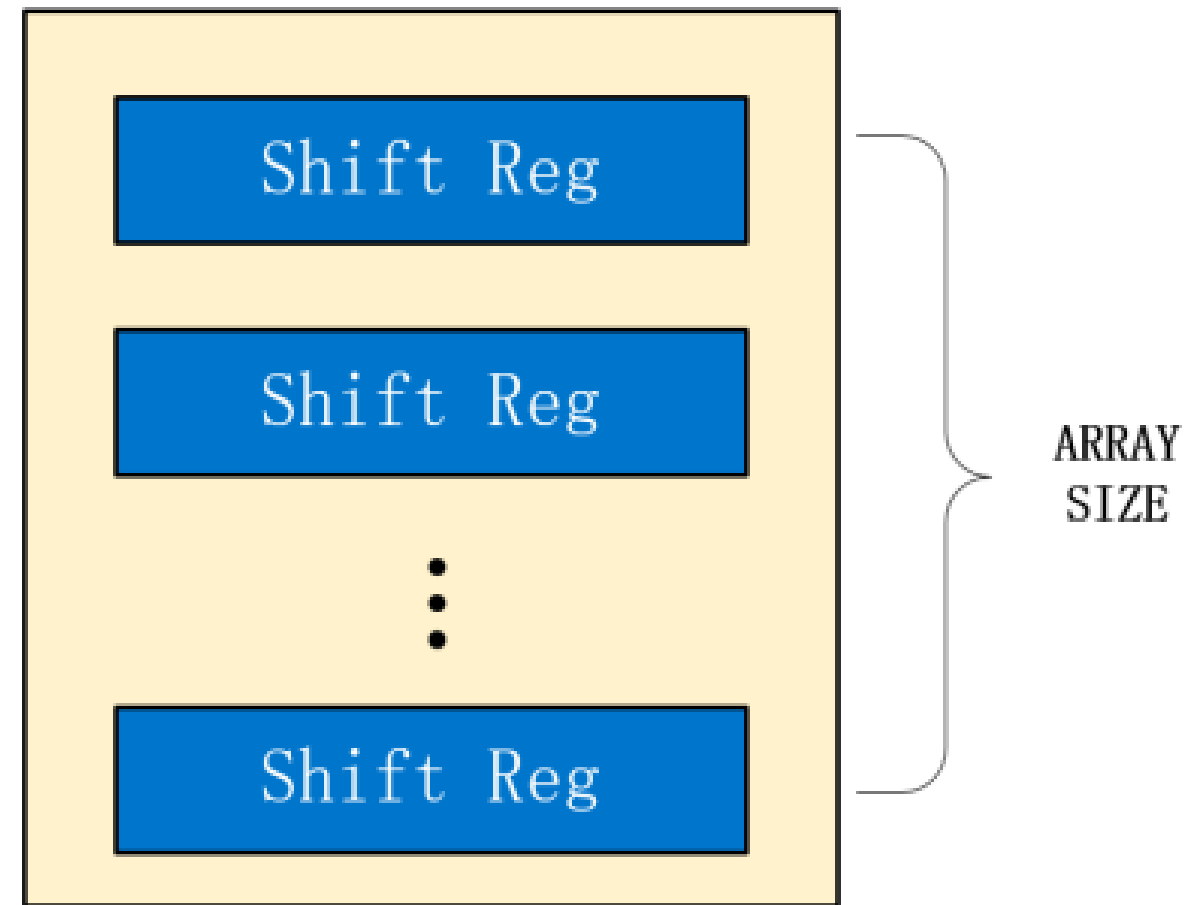


矩阵乘法器的单个计算核心

- 接受两个操作数与上层的计算结果进行计算
- 将正确结果继续向下层流动

详细设计

Shift Register



旨在解决存储器存储数据位宽和PE阵列数据输入位宽不匹配问题

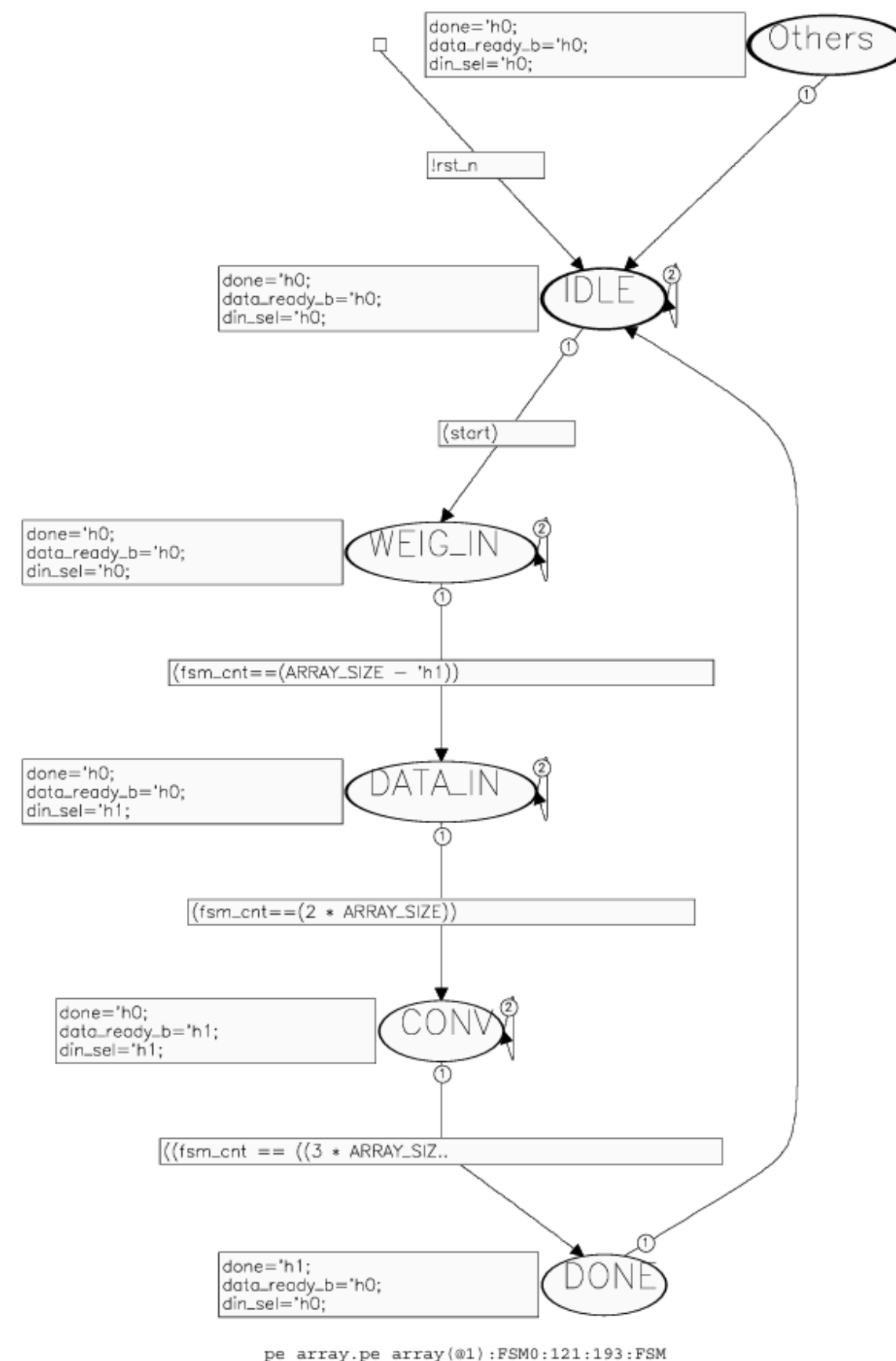
- 通过添加移位寄存器，将存储器中同一个地址中存放的数据的不同字段拆分，按序输入到PE阵列的数据输入端口中

详细设计

FSM

控制整个计算过程的状态跳转

- 将整个计算过程分为：空闲、输入权重数据、输入图像数据、流动计算、计算完成五个状态
- 利用状态机输出每个状态的控制信号与标志信号



验证方案

```
// pe_array Parameters
parameter PERIOD    = 10;
parameter ADDR_WIDTH = 32;
parameter ARRAY_SIZE = 4 ;
parameter DATA_WIDTH = 8 ;
parameter MEM_WIDTH  = 32;

class array_rand;
    rand bit [31:0] weigth_rand_in;
    rand bit [31:0] data_rand_in;
endclass

initial begin
    wait(rst_n);

    $display("*****");
    $display("*****Initialization*****\n");

    repeat (2*ARRAY_SIZE+1)@(posedge clk) initialize_array(array_in_pe);

    $display("*****Initialization finished*****");
    $display("*****");
end
```

```
array_rand array_in_rand = new();

task initialize_array(output [MEM_WIDTH-1:0] initialize_out);

    if(i<ARRAY_SIZE) begin
        array_in_rand.randomize();
        initialize_out = array_in_rand.weigth_rand_in;
        $display("Weigth Initialization %h", initialize_out);
    end
    if(i == ARRAY_SIZE) begin
        $display("*****");
        initialize_out = 'h0;
    end
    if(i>=ARRAY_SIZE+1) begin
        array_in_rand.randomize();
        initialize_out = array_in_rand.data_rand_in;
        $display("Data Initialization %h", initialize_out);
    end
    i++;
endtask
```

- 使用随机约束仿真
- 利用task封装写入数据过程，写权重与写数据分先后写入
- 在例化调用task时，可以使用repeat来重复调用任意次，大大提高了仿真效率。利用System Verilog部分特性可以使仿真更加的直观与便捷。

验证方案

部分Makefile内容：

```
all :rvcs rsim rdve
```

```
rvcs :
```

```
  vcs -full64 -debug_access+all -sverilog -f ../script/filelist.f +incdir+../tb+ ../tb/tb.sv -timescale=1ns/1ps +memcbk -l vcs.log
```

```
rsim :
```

```
  ./simv -l sim.log
```

```
rdve :
```

```
  dve -vpd *.vpd -script *.tcl
```

- 为了仿真高效进行，使用DVE -script参数读取Session，可以快速的添加波形

RTL检查

```
SpyGlass Predictive Analyzer(R) - Version SpyGlass_vL-2016.06
Last compiled on May 20 2016

All Rights Reserved. Use, disclosure or duplication
without prior written permission of Synopsys Inc. is prohibited.
Technical support: email spyglass_support@synopsys.com.

INFO [SPG#1044]: Running in batch mode...
read_file -type hdl ../../src/pe.v
read_file -type hdl ../../src/pe_array.v
read_file -type hdl ../../src/shift_reg_din.v
current_methodology: info: methodology is now `/home/synopsys/SpyGlass-L2016.06/SPYGLASS_HOME/
current_goal: info: removed current goals (sg_shell is now back to methodology scope)
(selected methodology is `/home/synopsys/SpyGlass-L2016.06/SPYGLASS_HOME/
current_goal: info: loading goal `Design_Read' with top `pe_array' (in progress)
current_goal: info: finished loading goal `Design_Read' (ok)

INFO:      SpyGlass will run goal(s) 'Design_Read'.

RULE-CHECKING IN MIXED MODE
Loading spyglass (SpyGlass_vL-2016.06) ... (picked from /home/synopsys/SpyGlass-L2016.06/SPYGLASS_HOME/)
```

Goal Violation Summary:				
Waived Messages:	0 Errors,	0 Warnings,	0 Infos	
Reported Messages:	0 FataIs,	0 Errors,	0 Warnings,	2 Infos

```
Generating data for Console...

SpyGlass Rule Checking Complete.

Generating moresimple report from './top/pe_array/Design_Read/spyglass.vdb' to './top/pe_array/Design_Read/spyglass_reports/moresimple.rpt' ....

Generating runsummary report from './top/pe_array/Design_Read/spyglass.vdb' ....

Generating no_msg_reporting_rules report from './top/pe_array/Design_Read/spyglass.vdb' to './top/pe_array/Design_Read/spyglass_reports/no_msg_r

Policy specific data (reports) are present in the directory './top/pe_array/Design_Read/spyglass_reports'.

SpyGlass critical reports for the current run are present in directory './top/consolidated_reports/pe_array_Design_Read/'.

-----
Results Summary:
-----
Goal Run      :      Design_Read
Command-line read :      0 error,      0 warning,      0 information message
Design Read    :      0 error,      0 warning,      2 information messages
Found 1 top module:
    pe_array   (file: ../../src/pe_array.v)

Blackbox Resolution:      0 error,      0 warning,      0 information message
SGDC Checks       :      0 error,      0 warning,      0 information message
-----
Total          :      0 error,      0 warning,      2 information messages

Total Number of Generated Messages :      2 (0 error, 0 warning, 2 Infos)
Number of Reported Messages       :      2 (0 error, 0 warning, 2 Infos)
-----
```

-----Goal Violation Summary可以看出：

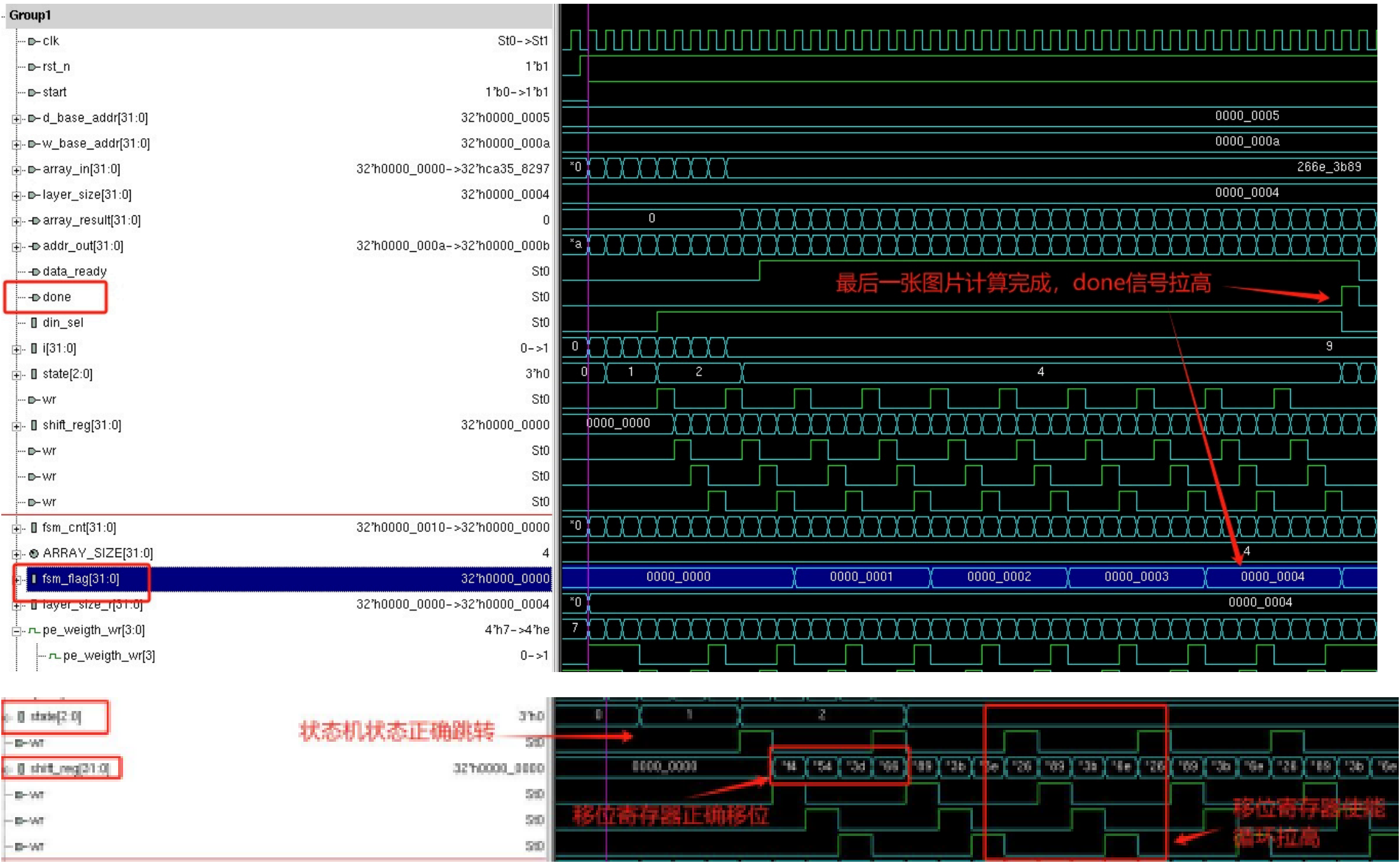
```
spyglass.log successfully updated with goal summary
```

- 通过基本Goal之后， 没有报错与警告， 则说明设计造成隐患可能性较小

功能仿真

使用VCS进行功能仿真

- 每个模块进行单独仿真
- 关键路径数据和时序检查
- 验证最终结果



经验证，所有数据通路、时序均符合预期，最终计算结果正确

覆盖率统计

使用VCS统计代码行覆盖率、状态机覆盖率和条件覆盖率

- 仿真激励覆盖全面
- 行覆盖率达到98.99%
- 状态机覆盖率为72.73%
- 条件覆盖率达到100%
- 所有未覆盖位置均为“default”，在电路出现错误时起到复位作用

Name	Score	Line	FSM	Condition
array_tb	90.57%	98.99%	72.73%	100.00%
u_pe_array	90.52%	98.82%	72.73%	100.00%
pe_x[0].pe_y[0].u_pe	100.00%	100.00%		
pe_x[0].pe_y[1].u_pe	100.00%	100.00%		
pe_x[0].pe_y[2].u_pe	100.00%	100.00%		
pe_x[0].pe_y[3].u_pe	100.00%	100.00%		
pe_x[1].pe_y[0].u_pe	100.00%	100.00%		
pe_x[1].pe_y[1].u_pe	100.00%	100.00%		
pe_x[1].pe_y[2].u_pe	100.00%	100.00%		
pe_x[1].pe_y[3].u_pe	100.00%	100.00%		
pe_x[2].pe_y[0].u_pe	100.00%	100.00%		
pe_x[2].pe_y[1].u_pe	100.00%	100.00%		
pe_x[2].pe_y[2].u_pe	100.00%	100.00%		
pe_x[2].pe_y[3].u_pe	100.00%	100.00%		
pe_x[3].pe_y[0].u_pe	100.00%	100.00%		
pe_x[3].pe_y[1].u_pe	100.00%	100.00%		
pe_x[3].pe_y[2].u_pe	100.00%	100.00%		
pe_x[3].pe_y[3].u_pe	100.00%	100.00%		
shift_reg_in[0].u_shift_r...	100.00%	100.00%		
shift_reg_in[1].u_shift_r...	100.00%	100.00%		
shift_reg_in[2].u_shift_r...	100.00%	100.00%		
shift_reg_in[3].u_shift_r...	100.00%	100.00%		

综合结果

部分Constraints

- 约束时钟周期为2.5ns
- 时钟偏斜为0.3ns
- 定义输入输出延迟

```
#*****

create_clock -period 2.5 -name clk [get_ports "clk"]

set_clock_uncertainty 0.3 [get_clock clk]

#*****clk input *****
set_input_delay -max 1.00 -clock clk [remove_from_collection [all_inputs] [get_ports "rst_n clk"]]
set_input_delay -min 0.00 -clock clk [remove_from_collection [all_inputs] [get_ports "rst_n clk"]]

set_output_delay -max 1.00 -clock clk [remove_from_collection [all_outputs] ]
set_output_delay -min 0.00 -clock clk [remove_from_collection [all_outputs] ]

#set_output_delay -max 1.00 -clock clk [remove_from_collection [all_outputs] [get_ports "clk_new"]]
#set_output_delay -min 0.00 -clock clk [remove_from_collection [all_outputs] [get_ports "clk_new"]]

#*****

set_ideal_network [get_ports "clk"]
set_ideal_network [get_ports "rst_n"]

set_dont_touch_network [get_ports "clk"]
set_dont_touch_network [get_ports "rst_n"]

set_false_path -from [get_ports "rst_n"]

#*****
```

综合结果

```
*****
Report : timing
        -path full
        -delay max
        -max_paths 1
Design : pe_array
Version: 0-2018.06-SP1
Date   : Tue Jun 11 09:02:22 2024
*****

Operating Conditions: tt_vlp2_25c  Library: scc55nll_hd_rvt_tt_vlp2_25c_basic
Wire Load Model Mode: top

Startpoint: fsm_cnt_reg_0_
            (rising edge-triggered flip-flop clocked by clk)
Endpoint:   fsm_cnt_reg_31_
            (rising edge-triggered flip-flop clocked by clk)
Path Group: clk
Path Type:  max

Point              Incr      Path
-----
clock clk (rise edge)          0.00      0.00
clock network delay (ideal)    0.00      0.00
fsm_cnt_reg_0_/CK (DRNQHDV1)  0.00      0.00 r
fsm_cnt_reg_0_/Q (DRNQHDV1)   0.17      0.17 r
U528/ZN (NAND2HDV0)           0.05      0.22 f
U505/ZN (NOR2HDV1)            0.05      0.27 r
U479/ZN (CLKNAND2HDV1)        0.05      0.33 f
U458/ZN (NOR2HDV1)            0.07      0.40 r
U453/ZN (CLKNAND2HDV1)        0.06      0.46 f
U439/ZN (NOR2HDV1)            0.07      0.53 r
U434/ZN (CLKNAND2HDV1)        0.06      0.59 f
U428/ZN (NOR2HDV1)            0.07      0.66 r
U424/ZN (CLKNAND2HDV1)        0.06      0.72 f
U419/ZN (NOR2HDV1)            0.07      0.79 r
U413/ZN (CLKNAND2HDV1)        0.06      0.85 f
U405/ZN (NOR2HDV1)            0.07      0.92 r
U403/ZN (CLKNAND2HDV1)        0.06      0.98 f
U395/ZN (NOR2HDV1)            0.07      1.05 r
U389/ZN (CLKNAND2HDV1)        0.06      1.11 f
```

U458/ZN (NOR2HDV1)	0.07	0.40 r
U453/ZN (CLKNAND2HDV1)	0.06	0.46 f
U439/ZN (NOR2HDV1)	0.07	0.53 r
U434/ZN (CLKNAND2HDV1)	0.06	0.59 f
U428/ZN (NOR2HDV1)	0.07	0.66 r
U424/ZN (CLKNAND2HDV1)	0.06	0.72 f
U419/ZN (NOR2HDV1)	0.07	0.79 r
U413/ZN (CLKNAND2HDV1)	0.06	0.85 f
U405/ZN (NOR2HDV1)	0.07	0.92 r
U403/ZN (CLKNAND2HDV1)	0.06	0.98 f
U395/ZN (NOR2HDV1)	0.07	1.05 r
U389/ZN (CLKNAND2HDV1)	0.06	1.11 f
U377/ZN (NOR2HDV1)	0.07	1.18 r
U364/ZN (CLKNAND2HDV1)	0.06	1.24 f
U357/ZN (NOR2HDV1)	0.07	1.31 r
U351/ZN (CLKNAND2HDV1)	0.06	1.37 f
U346/ZN (NOR2HDV1)	0.07	1.44 r
U338/ZN (CLKNAND2HDV1)	0.06	1.50 f
U334/ZN (NOR2HDV1)	0.07	1.57 r
U330/ZN (CLKNAND2HDV1)	0.06	1.63 f
U320/ZN (NOR2HDV1)	0.07	1.70 r
U315/ZN (CLKNAND2HDV1)	0.06	1.76 f
U312/ZN (NOR2HDV1)	0.07	1.83 r
U304/ZN (CLKNAND2HDV1)	0.05	1.88 f
U746/Z (CLKX0R2HDV2)	0.07	1.96 r
fsm_cnt_reg_31_/D (DRNQHDV1)	0.00	1.96 r
data arrival time		
clock clk (rise edge)	2.50	2.50
clock network delay (ideal)	0.00	2.50
clock uncertainty	-0.30	2.20
fsm_cnt_reg_31_/CK (DRNQHDV1)	0.00	2.20 r
library setup time	-0.07	2.13
data required time		

data required time		2.13
data arrival time		-1.96

slack (MET)		0.17

在经过约束之后

可以通过DC时序报告看出：

- 综合阶段频率可以达到400MHz，最长路径建立时间符合约束。

综合结果

在经过约束之后

可以通过DC面积报告看出：

- 综合阶段使用55nm工艺库
- 面积为10624.3198um^2
- 共有16个pe cell，4个shift_reg cell

Hierarchical area distribution						
Hierarchical cell	Global cell area		Local cell area			Design
	Absolute Total	Percent Total	Combi-national	Noncombi-national	Black-boxes	
pe_array	10624.3198	100.0	1478.6800	1129.5200	0.0000	pe_array
pe_x_0_pe_y_0_u_pe	484.0400	3.8	242.7600	161.2800	0.0000	pe_DATA_WIDTH8_15
pe_x_0_pe_y_1_u_pe	453.3200	4.3	292.0400	161.2800	0.0000	pe_DATA_WIDTH8_14
pe_x_0_pe_y_2_u_pe	453.3200	4.3	292.0400	161.2800	0.0000	pe_DATA_WIDTH8_13
pe_x_0_pe_y_3_u_pe	453.3200	4.3	292.0400	161.2800	0.0000	pe_DATA_WIDTH8_12
pe_x_1_pe_y_0_u_pe	484.0400	3.8	242.7600	161.2800	0.0000	pe_DATA_WIDTH8_11
pe_x_1_pe_y_1_u_pe	453.3200	4.3	292.0400	161.2800	0.0000	pe_DATA_WIDTH8_10
pe_x_1_pe_y_2_u_pe	453.3200	4.3	292.0400	161.2800	0.0000	pe_DATA_WIDTH8_9
pe_x_1_pe_y_3_u_pe	453.3200	4.3	292.0400	161.2800	0.0000	pe_DATA_WIDTH8_8
pe_x_2_pe_y_0_u_pe	484.0400	3.8	242.7600	161.2800	0.0000	pe_DATA_WIDTH8_7
pe_x_2_pe_y_1_u_pe	453.3200	4.3	292.0400	161.2800	0.0000	pe_DATA_WIDTH8_6
pe_x_2_pe_y_2_u_pe	453.3200	4.3	292.0400	161.2800	0.0000	pe_DATA_WIDTH8_5
pe_x_2_pe_y_3_u_pe	453.3200	4.3	292.0400	161.2800	0.0000	pe_DATA_WIDTH8_4
pe_x_3_pe_y_0_u_pe	341.3200	3.2	233.8000	107.5200	0.0000	pe_DATA_WIDTH8_3
pe_x_3_pe_y_1_u_pe	397.0400	3.7	289.5200	107.5200	0.0000	pe_DATA_WIDTH8_2
pe_x_3_pe_y_2_u_pe	395.9200	3.7	288.4000	107.5200	0.0000	pe_DATA_WIDTH8_1
pe_x_3_pe_y_3_u_pe	395.9200	3.7	288.4000	107.5200	0.0000	pe_DATA_WIDTH8_0
shift_reg_in_0_u_shift_reg_din	298.4800	2.8	83.4400	215.0400	0.0000	shift_reg_din_DATA_WIDTH8_MEM_WIDTH32_3
shift_reg_in_1_u_shift_reg_din	298.4800	2.8	83.4400	215.0400	0.0000	shift_reg_din_DATA_WIDTH8_MEM_WIDTH32_2
shift_reg_in_2_u_shift_reg_din	298.4800	2.8	83.4400	215.0400	0.0000	shift_reg_din_DATA_WIDTH8_MEM_WIDTH32_1
shift_reg_in_3_u_shift_reg_din	298.4800	2.8	83.4400	215.0400	0.0000	shift_reg_din_DATA_WIDTH8_MEM_WIDTH32_0
Total			6269.2000	4355.1199	0.0000	

静态时序分析

Report : timing			U448/ZM (NOR2HDV1)	0.07 *	0.52 r
-path_type full			U416/ZM (CLKMAND2HDV1)	0.06 *	0.50 f
-delay_type max			U429/ZM (NOR2HDV1)	0.07 *	0.65 r
-max_paths 1			U428/ZM (CLKMAND2HDV1)	0.06 *	0.71 f
-sort_by slack			U417/ZM (NOR2HDV1)	0.07 *	0.78 r
Design : pe_array			U415/ZM (CLKMAND2HDV1)	0.06 *	0.84 f
Version : 0-2018.09-SP1			U408/ZM (NOR2HDV1)	0.07 *	0.91 r
Date : Tue Jun 11 09:44:54 2024			U401/ZM (CLKMAND2HDV1)	0.06 *	0.97 f
			U398/ZM (NOR2HDV1)	0.07 *	1.05 r
			U394/ZM (CLKMAND2HDV1)	0.06 *	1.10 f
			U383/ZM (NOR2HDV1)	0.07 *	1.18 r
			U382/ZM (CLKMAND2HDV1)	0.06 *	1.24 f
			U356/ZM (NOR2HDV1)	0.07 *	1.31 r
			U349/ZM (CLKMAND2HDV1)	0.06 *	1.37 f
			U344/ZM (NOR2HDV1)	0.07 *	1.44 r
			U342/ZM (CLKMAND2HDV1)	0.06 *	1.50 f
			U332/ZM (NOR2HDV1)	0.07 *	1.57 r
			U325/ZM (CLKMAND2HDV1)	0.06 *	1.63 f
			U323/ZM (NOR2HDV1)	0.07 *	1.70 r
			U318/ZM (CLKMAND2HDV1)	0.06 *	1.76 f
			U311/ZM (NOR2HDV1)	0.07 *	1.83 r
			U302/ZM (CLKMAND2HDV1)	0.05 *	1.88 f
			U730/Z (CLKXOR2HDV2)	0.06 *	1.96 r
			U297/Z (AND2HDV1)	0.06 *	2.02 r
			fsm_flag_reg_31_0 (DFFQHDV1)	0.00 *	2.02 f
			data arrival time		2.02
			clock clk (rise edge)	2.50	2.50
			clock network delay (ideal)	0.00	2.50
			clock reconvergence pessimism	0.00	2.50
			clock uncertainty	-0.30	2.20
			fsm_flag_reg_31_0/CK (DFFQHDV1)		2.20 r
			library setup time	-0.07 *	2.13
			data required time		2.13
			data required time		2.13
			data arrival time		-2.02
			slack (MET)		0.11

Startpoint: fsm_flag_reg_0_ (rising edge-triggered flip-flop clocked by clk)

Endpoint: fsm_flag_reg_31_ (rising edge-triggered flip-flop clocked by clk)

Path Group: clk

Path Type: max

Point	Incr	Path
clock clk (rise edge)	0.00	0.00
clock network delay (ideal)	0.00	0.00
fsm_flag_reg_0_0K (DFFQHDV1)	0.00	0.00 r
fsm_flag_reg_0_0 (DFFQHDV1)	0.18 *	0.18 r
U549/ZM (CLKMAND2HDV1)	0.05 *	0.21 f
U507/ZM (NOR2HDV1)	0.06 *	0.27 r
U464/ZM (CLKMAND2HDV1)	0.05 *	0.32 f
U461/ZM (NOR2HDV1)	0.07 *	0.39 r
U458/ZM (CLKMAND2HDV1)	0.06 *	0.45 f
U443/ZM (NOR2HDV1)	0.07 *	0.52 r
U436/ZM (CLKMAND2HDV1)	0.06 *	0.58 f
U429/ZM (NOR2HDV1)	0.07 *	0.65 r
U428/ZM (CLKMAND2HDV1)	0.06 *	0.71 f
U417/ZM (NOR2HDV1)	0.07 *	0.78 r
U415/ZM (CLKMAND2HDV1)	0.06 *	0.84 f
U408/ZM (NOR2HDV1)	0.07 *	0.91 r
U401/ZM (CLKMAND2HDV1)	0.06 *	0.97 f
U398/ZM (NOR2HDV1)	0.07 *	1.05 r
U394/ZM (CLKMAND2HDV1)	0.06 *	1.10 f
U383/ZM (NOR2HDV1)	0.07 *	1.18 r
U382/ZM (CLKMAND2HDV1)	0.06 *	1.24 f

进行PT静态时序分析

使用sdc文件作为约束进行静态时序分析

- 综合阶段频率可以达到400MHz
- 最长路径建立时间符合约束。

形式化验证

```
***** Verification Results *****
Verification SUCCEEDED

Reference design: r:/WORK/pe_array
Implementation design: i:/WORK/pe_array
714 Passing compare points

-----
Matched Compare Points   BBPin   Loop   BBNet   Cut   Port   DFF   LAT   TOTAL
-----
Passing (equivalent)      0       0       0       0    66    648     0    714
Failing (not equivalent)  0       0       0       0     0     0     0     0
-----

fm_shell (verify)> report_unmatched_points
*****
Report      : unmatched_points

Reference   : r:/WORK/pe_array
Implementation : i:/WORK/pe_array
Version     : K-2015.06-SP1
Date        : Tue Jun 11 14:12:41 2024
*****

No unmatched points.
```

用Formality进行形式化验证

检查RTL和Netlist文件的一致性

- verification结果成功
- 所有比较点均匹配

感谢聆听